

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000041921 A
 (43)Date of publication of application: 15.07.2000

(21)Application number: 1019980057938
 (22)Date of filing: 24.12.1998

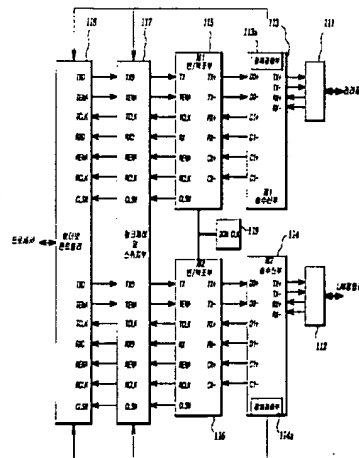
(71)Applicant: LG INFORMATION & COMMUNICATIONS LTD.
 (72)Inventor: KIM, SANG CHEOL

(51)Int. Cl. H04L 29 /10
 H04L 29 /06

(54) LAN INTERFACE APPARATUS OF AN INTERNET MATCHING APPARATUS

(57) Abstract:

PURPOSE: A LAN interface apparatus is provided to perform a service offer rapidly by making data accessed from a master board be transferred directly into a corresponding board. CONSTITUTION: A LAN interface apparatus comprises a first and second ports (111,112), a first and second transceiver parts(113,114), a first and second modulation/demodulation parts(115,116), a link control and switch part(117) and an ethernet controller(118). Each of the first and second transceiver parts(113,114) processes data received from a system management unit or a LAN matching unit into a predetermined state proper for a system, and processes data transmitted from an internet matching unit into a predetermined state proper to a LAN communication. The first and second transceiver parts(113,114) have obstacle detecting parts (113a,114a) each of which detects whether a link obstacle is generated between connected matching units and outputs a signal corresponding to the detection result. Each of the first and second modulation/demodulation parts(115,116) decodes data received from a corresponding transceiver part(113/114) to demodulate the decoded result into a format used in the internet matching unit. Each of the first and second modulation/demodulation parts(115,116) codes data transmitted from the internet matching unit to a system management unit and the LAN matching unit. The link control and switch part(117) controls a data link transmitted and received between the internet matching unit and the system management unit or the LAN matching unit. The link control and switch part(117) switches a link so that, when one of the links is hindered, data is transferred through the other link.



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (20010427)
 Notification date of refusal decision (00000000)
 Final disposal of an application (registration)
 Date of final disposal of an application (20021217)
 Patent registration number (1003674280000)
 Date of registration (20021224)
 Number of opposition against the grant of a patent ()

공개특허특2000-0041921

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 6
H04L 29/10
H04L 29/06

(11) 공개번호 특2000-
(43) 공개일자 0041921
 2000년07월15일

(21) 출원번호 10-1998-0057938
(22) 출원일자 1998년12월24일

(71) 출원인 엘지정보통신 주식회사 서평원
 서울특별시 강남구 역삼동 679
(72) 발명자 김상철
 인천광역시 남구 관교동 13-7 쌍용아파트 3동 807호
(74) 대리인 김영철
심사청구: 없음

(54) 인터넷 정합장치의 랜 인터페이스 장치

요약

VME 버스를 사용하는 인터넷 정합장치에서 마스터 보드에 복수개의 이더넷 인터페이스 포트를 갖는 링크 스위치 회로를 구비하여 접속된 하나의 포트에 장애가 발생하는 경우 또 다른 하나의 포트에 자동 절체되어 안정된 서비스를 유지할 수 있도록 한 인터넷 정합장치의 랜 인터페이스 장치에 관한 것으로, 마스터 보드와 적어도 하나 이상의 슬레이브 보드가 VME 버스로 연결되는 인터넷 정합장치에 있어서, 상기 마스터 보드내에 시스템 정합장치와 LAN 정합장치를 동시에 접속할 수 있도록 복수개의 포트에 이루어지며, 서비스 중인 포트에서 장애 검출시 서비스를 실행하지 않는 다른 포트에 스위칭하여 서비스 링크를 절환하는 랜 인터페이스장치를 구비하는 것을 특징으로 하여, 임의의 링크를 통해 데이터 통신을 하는 도중에 해당 링크에 장애가 발생하는 경우 다른 링크로 스위칭하여 통신을 유지하므로 데이터 통신에 안정성 및 신뢰성이 제공된다.

대표도

도4

명세서

도면의 간단한 설명

도 1은 종래의 인터넷 정합장치에서 시스템 관리장치와 LAN 정합장치가 연결된 상태를 보이는 개략적인 구성도.

도 2는 종래의 LAN 인터페이스 장치 구성을 보이는 상세 블록도.

도 3은 본 발명에 따른 인터넷 정합장치에서 시스템 관리장치와 LAN 정합장치가 연결된 상태를 보이는 개략적인 구성도.

도 4는 본 발명에 따른 인터넷 정합장치의 LAN 인터페이스 장치 구성을 보이는 상세 블록도.

도 5는 도 4에서 링크 제어 및 스위치부의 구성을 보이는 상세도.

도 6은 도 5에서 링크 제어부의 구성을 보이는 상세도.

<도면의 주요 부분에 대한 부호의 설명>

100 : 인터넷 정합장치 110 : 마스터 보드
120a-120n : 슬레이브 보드 111 : 제1 포트
112 : 제2 포트 113 : 제1송수신부
114 : 제2송수신부 115 : 제1변/복조부
116 : 제2변/복조부 117 : 링크제어및 스위치부
118 : 이더넷 컨트롤러 200 : 시스템 정합장치
300 : LAN 정합장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 인터넷(Internet) 정합장치에서 이더넷 링크(Ethernet Link)로 연결되는 LAN(Local Area Network) 인터페이스 장치에 관한 것으로, 보다 상세하게는 VME 버스를 사용하는 인터넷 정합장치에서 마스터 보드에 복수개의 이더넷 인터페이스 포트를 갖는 링크 스위치 회로를 구비하여 접속된 하나의 포트에 장애가 발생하는 경우 또 다른 하나의 포트에 자동 절체되어 안정된 서비스를 유지할 수 있도록 한 인터넷 정합장치의 랜 인터페이스 장치에 관한 것이다.

종래 VME 버스를 사용하는 인터넷 정합장치는 도 1에서 알 수 있는 바와 같이, 마스터 보드(11)에 적어도 하나 이상의 슬레이브 보드(12a-12n)가 VME 버스로 연결되고, 상기 마스터 보드(11)에는 워크 스테이션(Workstation)을 접속하는 하나의 이더넷 인터페이스 장치가 구비되어 시스템 관리장치(20)가 연결되며, 상기 슬레이브 보드(12a-12n)중 어느 하나, 통상적으로 최종 슬레이브 보드에는 외부 LNA 망을 연결하는 하나의 LAN 인터페이스 장치가 구비되어 LAN망 정합장치(30)가 연결된다.

상기와 같이 마스터 보드(11)와 슬레이브 보드(12a-12n)중 어느 하나에 구비되는 LAN 인터페이스 장치는 도 2에서 알 수 있는 바와 같이 이더넷 컨트롤러(13)와, 변/복조부(14), 송수신부(15) 및 컨넥터(16)로 이루어지는데, 이더넷 컨트롤러(13)는 인터넷 정합장치(10) 내의 마스터 보드(11)와 연결되는 시스템 관리장치(20)나, 예를들어 LAN 인터페이스 장치가 구비되는 최종 슬레이브 보드(12n)와 연결되는 LAN 정합장치(30)간의 데이터를 송수신을 제어하며, 시스템 관리장치(20)나 LAN 정합장치(30)로 부터 수신되는 데이터를 소정의 상태로 처리하여 상기 마스터 보드(11) 또는 최종 슬레이브 보드(12n)의 듀얼 포트 램(DPRAM)에 전송하고, 상기 시스템 관리장치(20) 또는 LAN 정합장치(30)측에 송신되는 신호를 처리하여 변/복조부(14)측에 출력한다.

변/복조부(14)는 접속된 외부의 시스템 관리장치(20) 또는 LAN 정합장치(30)와 인터넷 정합장치(10)간에 송수신되는 데이터의 변조 및 복조를 실행한다.

송수신부(15)는 컨넥터(16)에 접속되는 외부의 시스템 관리장치(20) 또는 LAN 정합장치(30)와 인터넷 정합장치(10)간에 송수신되는 데이터를 소정의 상태로 처리하여 컨넥터(16)으로 전송하거나 상기 변/복조부(14)측으로 전송한다.

컨넥터(16)는 10BASE-T 접속을 위한 RJ45컨넥터로 외부의 시스템 관리장치(20) 또는 LAN 정합장치(30)를 이더넷 망에 연결하여 준다.

전술한 바와 같이 구성되는 종래의 LAN 인터페이스 장치를 통한 인터넷 정합장치와 외부 정합장치간의 데이터 송수신에 대한 동작은 다음과 같다.

인터넷 정합장치(10)의 마스터 보드(11)내에 도 2와 같이 단일의 포트를 갖는 LAN 인터페이스 장치의 10BASE-T 접속을 위한 RJ45컨넥터(16)에 시스템 정합장치(20)가 연결되고 복수개로 이루어지는 슬레이브 보드(12a-12n)중 어느 하나, 예를들어 최종 슬레이브 보드(12)에 도 2와 같이 단일의 포트를 갖는 LAN 인터페이스 장치의 10BASE-T 접속을 위한 RJ45컨넥터(16)에 외부의 LAN 정합장치(30)가 연결된 상태에서, 일예를 들어 상기 컨넥터(16)에 연결되어 있는 LAN 정합장치(30)에서의 데이터 액세스 요구에 따라 인터넷 정합장치(10)의 마스터 보드(11)는 데이터 액세스를 요구한 LAN 정합장치(30)와 통신을 실행하게 되는데, 상기 LAN 정합장치(30)의 데이터 액세스 요구신호가 슬레이브 보드(12n)에 구비되며 도 2와 같이 구성되는 LAN 인터페이스 장치 송수신부(15)의 수신포트(Rx+, Rx-)에 인가되면 송수신부(15)는 데이터 액세스 요구신호를 소정의 상태로 처리한 다음 데이터 송신포트(D1+, D1-)를 통해 변/복조부(14)측에 인가한다.

변/복조부(14)는 수신포트(Rx+, Rx-)를 통해 인가되는 신호를 맨체스터 디코딩(Manchester Decoding)하여 데이터로 복조한 다음 데이터 수신 인에이블 신호(RENA)를 이더넷 컨트롤러(13)측에 전송한 후 수신 클럭(RCLK)에 동기시켜 수신된 데이터 액세스 요구신호를 이더넷 컨트롤러(13)의 데이터 수신 포트(RxD)측에 전송한다.

이때, 이더넷 컨트롤러(13)는 수신되는 LAN 정합장치(30)의 데이터 액세스 요구신호를 분석한 다음 인터넷 정합장치(10)의 슬레이브 보드(12n) 듀얼 포트 램에 기록한다.

상기와 같이 인터넷 정합장치(10)의 슬레이브 보드(12n) 듀얼 포트 램에 외부 LAN 정합장치(30)의 데이터 액세스 요구신호가 기록되면 마스터 보드(11)의 프로세서는 VME 버스를 통해 슬레이브 보드(12n)의 듀얼 포트 램에 기록된 통신 요구신호를 판독한 다음 그에 해당하는 요구된 데이터를 처리한다.

또한, 데이터의 송신시에는 인터페이스 장치의 이더넷 컨트롤러(13)가 상기 듀얼 포트 램에 기록되어 있는 데이터를 액세스한 다음 데이터 송신 인에이블 신호(TENA)를 상기 변/복조부(14)측에 인가한 후 변/복조부(14)에서 인가되는 송신 클럭(TCLK)에 동기시켜 액세스된 데이터를 상기 변/복조부(14)측에 전송한다.

변/복조부(14)는 이더넷 컨트롤러(13)로부터 수신되는 PCM 데이터를 LAN 통신에 적합한 맨체스터 코딩하여 변조한 다음 송신포트(Tx+, Tx-)를 통해 송수신부(15)측에 전송하면 송수신부(15)는 수신되는 데이터를 전기적 특성에 맞게 처리하여 컨넥터(16)를 통해 LAN 정합장치(30)측에 전송한다.

상기에서는 LAN 인터페이스 장치의 컨넥터(16)에 연결되는 외부의 LAN 정합장치(30)와 인터넷 정합장치(10)간의 데이터 통신에 대하여 설명하였으나, 인터넷 정합장치(10)의 마스터 보드(11)에 연결되는 시스템 관리장치(20)와의 통신 역시 전술한 바와 같이 실행된다.

상기한 바와 같이 인터넷 정합장치와 외부의 LAN 정합장치 또는 시스템 관리장치간의 통신에 있어 서로 다른 코딩 형식을 갖는 데이터를 변환하여 데이터 통신을 유지하여 주기 위해 인터넷 정합장치에 구비되는 종래의 LAN 인터페이스 장치는 하나의 이더넷 통신 포트만을 구비하고 있어 케이블의 이상이나 부품 불량 및 기타의 원인으로 링크의 장애가 발생하는 경우 데이터 통신을 실행할 수 없는 문제점이 있었다.

또한, 마스터 보드 및 슬레이브 보드의 LAN 인터페이스 보드가 분리되어 있어 외부 인터넷(Internet)으로 데이터를 전송하기 위해서는 마스터 보드의 프로세서가 슬레이브 보드의 듀얼 포트 램에 데이터를 기록한 다음 LAN 인터페이스 장치를 통해 인터넷 통신에 적합한 형식으로 변환하여 인터넷 통신을 실행하므로, 데이터의 전송에 소요되는 시간의 지연이 발생되어 서비스 제공이 지연되며, 버스의 사용에 효율성이 저하되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 바와 같은 제반적인 문제점을 감안한 것으로, 그 목적은 인터넷 정합장치에서 마스터 보드에 시스템 관리장치와 LAN 정합장치를 접속할 수 있도록 두개의 이더넷 포트에 이루어지는 LAN 인터페이스 장치를 구비하여 서비스를 제공하는 하나의 이더넷 포트에 이상이 검출되는 경우 링크 스위칭으로 다른 포트를 선택하여 진행되는 데이터 통신 서비스를 안정되게 유지하도록 한 것이다.

또한, 본 발명은 인터넷 정합장치에 통신을 하고자 하는 경우 마스터 보드에서 액세스된 데이터를 LAN 인터페이스 장치를 통해 해당 보드에 직접 전송하여 서비스 제공을 신속하게 실행할 수 있도록 한 것이다.

발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위한 본 발명은 LAN 인터페이스는 상기 복수개 포트의 연결되는 외부 정합장치 각각에서 LAN 통신 프로토콜로 수신되는 데이터를 이더넷 통신에 적합한 프로토콜로 변환하고, 상기 외부 정합장치 각각에 전송되는 이더넷 통신 프로토콜을 LAN 통신 프로토콜로 변환시키는 제1,제2 송수신수단과, 제1,제2 송수신수단에서 인가되는 외부 정합장치 각각의 TCP/IP 형식 데이터를 PCM 데이터로 변조하고, 이더넷 정합장치로부터 외부 정합장치측에 전송하는 PCM 데이터를 TCP/IP 형태의 데이터로 변조하는 제1,제2 변조수단과, 마스터 보드의 프로세서와 연결되어 이더넷 정합장치와 외부 정합장치간의 데이터 송수신을 제어하는 이더넷 제어수단과, 이더넷 정합장치와 외부 정합장치간의 데이터 통신링크를 연결하며, 통신이 진행되는 링크의 장애가 검출되는 경우 데이터 통신 링크를 통신을 실행하지 않고 대기 상태에 있는 링크로 전환시키는 링크제어 및 스위칭수단을 구비하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 일 실시예를 상세히 설명하면 다음과 같다.

본 발명은 도 3에서 알 수 있는 바와 같이, 마스터 보드(110)와 복수개의 슬레이브 보드(120a-120n)로 이루어지는 인터넷 정합장치(100)에서 마스터 보드(110)에 워크 스테이션인 시스템 관리장치(200)와 외부 LAN 정합장치(300)를 연결한다.

상기와 같이 인터넷 정합장치(100)의 마스터 보드(110)에 두개의 정합포트를 갖는 인터페이스 장치를 통해 시스템 관리장치(200)와 LAN 정합장치(300)를 연결하기 위한 LAN 인터페이스 장치는 도 4에서 알 수 있는 바와 같이, 제1,제2 포트(111,112)와, 제1,제2 송수신부(113,114), 제1,제2 변/복조부(115,116), 링크제어 및 스위치부(117) 및 이더넷 컨트롤러(118)로 이루어지는데, 제1,제2 포트(111,112)는 10BASE-T 접속을 위한 RJ45 커넥터로 구성되며 각각의 포트에 워크 스테이션인 시스템 관리장치(200) 및 LAN 정합장치(300)를 연결하여 송수신되는 데이터의 인터페이스를 실행한다.

제1,제2 송수신부(113)는 시스템 관리장치(200) 또는 LAN 정합장치(300)에서 수신되는 데이터를 시스템에 적합한 소정의 상태로 처리하고, 인터넷 정합장치(100)에서 송신되는 데이터를 LAN 통신에 적합한 소정의 상태로 처리하며, 접속된 정합장치간의 링크 장애 발생여부를 검출하여 그에 해당하는 신호를 출력하는 장애 검출부(113a,114a)를 구비한다.

제1,제2 변/복조부(115)는 상기 제1,제2 송수신부(113,114)를 통해 수신되는 데이터를 맨체스터 디코딩하여 인터넷 정합장치(100)에서 사용되는 형태로 복조하며, 인터넷 정합장치(100)로부터 시스템 관리장치(200) 및 LAN 정합장치(300)에 송신되는 데이터를 맨체스터 코딩한다.

링크 제어 및 스위치부(117)는 인터넷 정합장치(100)와 시스템 관리장치(200) 또는 LAN 정합장치(300)간에 송수신되는 데이터의 링크를 제어하며, 데이터 송수신되는 어느 하나의 링크에서 장애가 검출되는 경우 정상적인 상태를 유지하고 있는 다른 한쪽의 링크로 데이터가 전송이 이루어지도록 링크를 절환한다.

상기 제1,제2 변/복조부(115,116) 각각은 데이터 송신 포트(TxD)와 데이터 송신 인에이블 포트(TENA), 송신 클럭 포트(TCLK), 데이터 수신 포트(RxD), 데이터 수신 인에이블 포트(RENA), 수신 클럭 포트(RCLK) 및 데이터 충돌 감지 포트(CLSN)를 통해 링크제어 및 스위치부(117)와 연결된다.

이더넷 컨트롤러(111)는 마스터 보드(110)의 프로세서와 연결되어 시스템 관리장치(200)나 LAN 정합장치(300)간의 데이터 송수신을 제어하며, 시스템 관리장치(200)나 LAN 정합장치(300)로부터 수신되는 데이터를 소정의 상태로 처리하여 해당 슬레이브 보드(120a-120n)의 듀얼 포트 램(DPRAM)에 기록하고, 상기 마스터 보드(110)의 프로세서에서 액세스되어 인가되는 전송 데이터를 링크 제어 및 스위치부(117)측에 전송한다.

상기 이더넷 컨트롤러(111)는 두개의 데이터 송신 포트(TxD)와 데이터 송신 인에이블 포트(TENA), 송신 클럭 포트(TCLK), 데이터 수신 포트(RxD), 데이터 수신 인에이블 포트(RENA), 수신 클럭 포트(RCLK) 및 데이터 충돌 감지 포트(CLSN)를 통해 상기 링크 제어 및 스위치부(117)와 연결된다.

상기에서 제1, 제2송수신부(113, 114)내에 구비되는 장애 검출부(113a, 114a)는 상기 이더넷 콘트롤러(118)와 링크 제어 및 스위치부(117)와 연결되어 정합된 링크에 이상이 발생하는 경우 그에 대한 신호를 송수신한다.

또한, 상기의 링크제어 및 스위치(117)는 도 5에서 알 수 있는 바와 같이 이더넷 콘트롤러(118)에 구비되는 두개의 이더넷 통신포트와 상기 제1, 제2변/복조부(115, 116)를 병렬로 연결하는 제1, 제2버퍼(117a, 117b)와, 송신 인에이블 신호(TENA)와 수신 인에이블 신호(RENA), 링크 장애에 대한 신호(LNKST) 및 송신 클럭(TCLK)에 따라 데이터 송수신을 위한 출력 포트 선택신호를 발생하는 링크 제어부(117c)와, 상기 링크 제어부(117c)의 출력신호를 반전시켜 제2버퍼(117b)측에 데이터 출력 인에이블 신호(OE)로 인가하는 인버터(INV)로 이루어진다.

상기의 제2버퍼(117b)는 상기 링크 제어부(117c)에서 데이터 송수신을 실행하는 어느 한쪽의 링크에 장애가 발생한 것으로 판단되어 인가되는 신호에 따라 링크의 절환을 실행한다.

또한, 상기의 링크 제어부(117c)는 도 6에서 알 수 있는 바와 같이, 데이터의 송신 인에이블 신호(TENA)와 수신 인에이블 신호(RENA)를 논리 곱 연산하는 오아 게이트(OR)와, 상기 오아 게이트(OR)의 출력신호를 데이터 신호로 입력받아 클럭 단자에 입력되는 송신 클럭신호(TCLK)에 따라 소정의 신호를 출력하는 디 플립플롭(D-F/F)과, 상기 디 플립플롭(D-F/F)에서 출력되어 일측 단자에 입력되는 신호와 다른 일측 단자에 입력되는 링크 장애에 대한 신호(LNKST)를 논리 곱 연산하는 앤드 게이트(AND)로 이루어진다.

전술한 바와 같은 기능을 갖는 기술적 구성에서 데이터 송수신에 대한 동작은 다음과 같다.

인터넷 정합장치(100)의 마스터 보드(110)에 도 4와 같이 구성되는 LAN 인터페이스 장치의 제1포트(111)에 예를 들어 시스템 관리장치(200)를 연결하고 제2포트(112)에 LAN 정합장치(300)를 연결한 상태에서 제2포트(112)에 연결되어 있는 LAN 정합장치(300)로부터 데이터 액세스를 요구하거나 전송을 위한 데이터 신호가 제2송수신부(114)에 검출되면 제2송수신부(114)는 수신되는 데이터 액세스 요구신호 또는 전송 데이터를 전기적 특성에 적합하게 처리한 다음 송신 포트(D1+, D1-)를 통해 제2변/복조부(116)측에 인가한다.

수신포트(Rx+, Rx-)를 통해 데이터 액세스 요구신호 또는 전송 데이터를 수신한 변/복조부(116)는 수신된 신호를 맨체스터 디코딩 한 수신 인에이블 신호(RENA)를 이더넷 콘트롤러(118)측에 전송하고, 송신 클럭(RCLK)에 동기시켜 복조된 데이터 액세스 요구 또는 전송 데이터에 대한 수신 신호(Rx)를 이더넷 콘트롤러(118)측에 전송한다.

이때, 데이터 액세스 요구 신호 또는 전송 데이터를 수신한 이더넷 콘트롤러(118)는 마스터 보드(110)의 프로세서측에 데이터의 액세스 또는 전송 데이터의 기록을 요구한다.

상기와 같이 LAN 정합장치(300)로부터 데이터 액세스를 요구받은 경우 마스터 보드(110)의 프로세서는 요구되는 해당 데이터를 VME 버스로 연결되는 다수개의 슬레이브 보드(120a-120n)중에서 해당 데이터를 갖고 있는 임의의 슬레이브 보드의 듀얼 포트 램을 액세스하여 요구된 데이터를 판독하고, 전송 데이터의 기록을 요구받은 경우 해당 데이터를 기록하기 위한 임의의 슬레이브 보드의 듀얼 포트 램에 수신된 데이터를 저장한다.

이후, 마스터 보드(110)의 프로세서는 임의의 슬레이브 보드 듀얼 포트 램으로부터 액세스 한 데이터를 자신의 보드에서 소정의 상태로 처리한 다음 인터페이스 정합장치내의 이더넷 콘트롤러(118)측에 인가하면, 이더넷 콘트롤러(118)는 링크제어 및 스위치부(117)측에 데이터 송신 인에이블 신호(TENA)를 인가한 다음 링크제어 및 스위치부(117)에서 인가되는 송신클럭(TCLK)에 따라 액세스된 데이터를 송신포트(TxD)를 통해 상기 링크제어 및 스위치부(117)측에 전송한다.

상기 링크제어 및 스위치부(117)는 상기 이더넷 콘트롤러(118)로부터 수신되는 데이터를 스위칭된 포트를 통해 제2변/복조부(116)측에 인가하면 제2변/복조부(116)는 수신포트(Rx)를 통해 데이터를 수신한 데이터를 맨체스터 코딩하여 송신포트(Tx+, Tx-)를 통해 송수신부(114)측에 전송한다.

송수신부(114)는 수신되는 데이터를 LAN 통신에 적합한 전기적 신호로 변환한 후 송신포트(Tx+, Tx-)를 통해 제2포트(112)에 전송하여 접속된 LAN 정합장치(300)측에 전송한다.

상기에서 제2포트(112)에 접속된 LAN 정합장치(300)와 인터넷 정합장치(100)간의 통신에 대하여 설명하였으나, 제1포트(111)에 접속되어 있는 시스템 정합장치(200)에서 요구되는 데이터 액세스 신호 또는 전송 데이터는 전송한 바와 동일한 과정으로 진행되어 인터넷 정합장치(100)와 데이터 통신을 실행한다.

상기에서 인터넷 정합장치(100)와 시스템 관리장치(200) 및 LAN 정합장치(300) 간에 연결되어 있는 링크가 정상적인 상태에서는 도 6의 링크 제어부(117c) 앤드 게이트(AND)에서 출력되는 신호가 "로우" 상태이므로, 도 5에서 알 수 있는 바와 같이 제1포트와 제2포트는 제1버퍼(117a)를 통해 직결되어 데이터의 송수신이 진행된다.

상기와 같이 제1버퍼(117a)를 통해 직결된 포트간의 데이터 통신이 진행되는 상태에서 통신이 진행되는 링크에 장애가 발생하게 되어 제1, 제2 송수신부(113)에 구비되어 있는 장애 검출부(113a, 114a)에 검출되면 장애가 검출된 해당 송수신부의 장애 검출부는 장애 발생에 대한 링크 장애 신호(LNKST)를 출력하여 링크제어 및 스위치부(117)와 이더넷 컨트롤러(118)측에 인가한다.

이때, 링크 장애에 대한 신호(LNKST)를 수신한 링크 제어부(117c)는 그에 해당하는 데이터 출력 제어신호를 제1버퍼(117a)에 인가함과 동시에 인버터(INV)를 통해 제2버퍼(117b)에 인가한다.

따라서, 제1, 제2포트를 직결하는 제1버퍼(117a)는 디스에이블되어 데이터의 출력을 실행하고 않고, 이더넷 컨트롤러(118)와 접속되는 제1포트를 제2번/복조부(116)로 연결하고 이더넷 컨트롤러(118)에 연결되는 제2포트를 제1번/복조부(115)에 연결하는 제2버퍼(117b)가 인에이블되어 데이터의 송수신이 유지된다.

상기에서 링크 장애 여부에 따라 링크 제어부(117c)의 동작은 도 6에서 알 수 있는 바와 같이, 오아 게이트(OR)가 입력되는 데이터 송신 인에이블 신호(TENA)와 데이터 수신 인에이블 신호(RENA)를 논리 합 연산하여 디 플립 플롭(D-F/F)에 데이터 신호로 인가하면 디 플립 플롭(D-F/F)은 클럭단자(CLK)에 입력되는 송신 클럭신호(TCLK)에 따라 입력되는 데이터를 동기시켜 앤드 게이트(AND)의 일측 단자에 입력한다.

이때, 송신 인에이블 신호(TENA)와 수신 인에이블 신호(RENA)가 동시에 발생되거나 두개의 인에이블 신호중 어느 하나의 인에이블 신호가 발생하는 경우 디 플립 플롭(D-F/F)에서 출력되는 신호는 "하이" 상태로 출력되어 앤드 게이트(AND)의 일측 단자에 입력된다.

따라서, 데이터 전송을 실행하는 링크에 장애가 발생하지 않는 경우 상기 앤드 게이트(AND)의 다른 일측 단자에 "로우"의 신호가 입력되므로 출력단자는 "로우" 상태로 되어 제1버퍼(117a)의 직결을 통한 데이터 통신을 유지한다.

그러나 데이터 전송되는 링크에서 장애가 발생하여 링크 장애에 대한 신호(LNKST)가 상기 앤드 게이트(AND)의 다른 입력단에 "하이"로 입력되는 경우 상기 앤드 게이트(AND)의 출력단자는 "하이"의 신호를 출력하게 된다.

따라서, 인버터(INV)의 반전에 의해 제2버퍼(117b)가 인에이블되어 데이터가 출력되도록 한다.

또한, 데이터 송수신에 대한 인에이블 신호(TENA, RENA)가 발생되지 않는 상태에서는 오아 게이트(OR)의 출력이 "로우" 상태이므로 디 플립 플롭(D-F/F)에서 출력되는 신호 역시 "로우" 상태로 앤드 게이트(AND)의 일측 단자에 입력되어진다.

따라서, 링크 장애에 대한 신호(LNKST)가 상기 앤드 게이트(AND)의 다른 일측 단자에 입력되더라도 앤드 게이트(AND)의 출력단자는 "로우" 상태를 유지하므로, 제1버퍼(117a)가 인에이블 상태를 유지한다.

발명의 효과

이상에서 설명한 바와 같이 본 발명은 VME 버스를 사용하는 인터넷 정합장치에서 마스터 보드내에 구비되는 LAN 인터페이스 장치에 시스템 정합장치 및 LAN 정합장치를 연결하여 데이터 통신을 실행하므로 듀얼 포트 램에 데이터를 기록하거나 기록된 데이터의 액세스 동작이 한번에 이루어지므로 송수신되는 데이터의 처리에 신속성이 제공된다.

또한, 본 발명은 임의의 링크를 통해 데이터 통신을 하는 도중에 해당 링크에 장애가 발생하는 경우 다른 링크로 스위칭

하여 통신을 유지하므로 데이터 통신에 안정성 및 신뢰성이 제공된다.

(57) 청구의 범위

청구항1

마스터 보드와 적어도 하나 이상의 슬레이브 보드가 VME 버스로 연결되는 인터넷 정합장치에 있어서, 상기 마스터 보드내에 시스템 정합장치와 LAN 정합장치를 동시에 접속할 수 있도록 복수개의 포트에 이루어지며, 서비스 중인 포트에서 장애 검출시 서비스를 실행하지 않는 다른 포트에 스위칭하여 서비스 링크를 절환하는 랜 인터페이스장치를 구비하는 것을 특징으로 하는 인터넷 정합장치의 랜 인터페이스 장치.

청구항2

제 1항에 있어서, 상기 랜 인터페이스장치는 상기 복수개 포트를 통해 송수신되는 데이터 신호의 전기적 특성을 처리하는 제1,제2 송수신수단과;

상기 송수신되는 데이터를 맨체스터 코딩/디코딩하는 제1,제2 변조수단과;

상기 마스터 보드의 프로세서와 연결되어 인터넷 정합장치와 외부 정합장치간의 데이터 송수신을 제어하는 이더넷 제어수단과;

상기 인터넷 정합장치와 외부 정합장치간의 데이터 통신링크를 연결하며, 서비스 진행중인 링크의 장애 검출시 대기 상태에 있는 링크를 연결하는 링크제어및 스위칭수단을 구비하는 것을 특징으로 하는 인터넷 정합장치의 랜 인터페이스 장치.

청구항3

제 2항에 있어서, 상기 제1,제2송수신수단에 링크의 장애 발생 여부를 검출하여 그에 대한 신호를 출력하는 장애 발생 검출수단을 구비하는 것을 특징으로 하는 인터넷 정합장치의 랜 인터페이스 장치.

청구항4

제 2항에 있어서, 상기 링크 제어및 스위칭수단은 상기 이더넷 제어수단과 접속되는 제1,제2 통신포트와 상기 제1,제2 변/복조수단과 접속되는 제1,제2 통신포트를 인에이블 신호에 따라 직결시키는 제1버퍼와;

링크 장애의 검출에 따라 인가되는 인에이블신호에 의해 상기 이더넷 제어수단과 접속되는 제1,제2 통신포트와 상기 제1,제2변/복조수단과 접속되는 제1,제2 통신포트를 교차시켜 연결하는 제2버퍼와;

송신 인에이블 신호(TENA)와 수신 인에이블 신호(RENA), 링크 장애에 대한 신호(LNKST)및 송신 클럭(TCLK)에 따라 데이터 송수신 포트 선택신호를 출력하는 링크 제어수단과;

상기 링크 제어수단의 출력신호를 반전시켜 상기 제2버퍼측에 데이터 출력 인에이블 신호(OE)로 인가하는 인버터로 이루어지는 것을 특징으로 하는 인터넷 정합장치의 랜 인터페이스 장치.

청구항5

제 4항에 있어서, 상기 링크 제어수단은 데이터의 송신 인에이블 신호(TENA)와 수신 인에이블 신호(RENA)를 논리 합 연산하는 제1연산수단과;

상기 제1연산수단의 출력신호를 송신 클럭신호(TCLK)에 따라 출력하는 디 플립플롭과;

상기 디 플립플롭에서 출력되어 일측 단자에 입력되는 신호와 다른 일측 단자에 입력되는 링크 장애에 대한 신호(LNKST)를 논리 곱 연산하여 제어신호로 출력하는 제2연산수단으로 이루어지는 것을 특징으로 하는 인터넷 정합장치의 랜 인터페이스 장치.

도면

도면1

도면2

도면3

도면4

도면5

도면6